

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 9月 3日
Date of Application:

出願番号 特願2003-310987
Application Number:

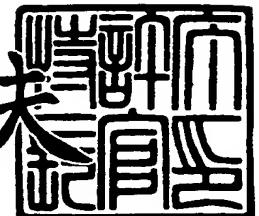
[ST. 10/C] : [JP 2003-310987]

出願人 沖電気工業株式会社
Applicant(s):

2003年11月27日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 KA003913
【提出日】 平成15年 9月 3日
【あて先】 特許庁長官 今井 康夫 殿
【国際特許分類】 H01L 25/065
【発明者】
【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
【氏名】 江川 良実
【特許出願人】
【識別番号】 000000295
【氏名又は名称】 沖電気工業株式会社
【代理人】
【識別番号】 100086807
【弁理士】
【氏名又は名称】 柿本 恭成
【手数料の表示】
【予納台帳番号】 007412
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9001054

【書類名】特許請求の範囲**【請求項 1】**

対向する第1及び第2の面を有し、前記第1の面から前記第2の面の方向へ窪んだ凹部が形成され、前記凹部を含む前記第1の面が絶縁膜で被覆された基板と、

前記凹部の底面の前記絶縁膜上に形成されたパッドと、

前記第1の面における前記凹部の周囲の前記絶縁膜上に形成された第1の外部端子と、

前記第1の面の前記絶縁膜上に形成され、前記パッドと前記第1の外部端子とを電気的に接続する配線と、

第2の外部端子が形成された第3の面と、前記第3の面に対向する第4の面とを有し、前記凹部内に収容されて前記第2の外部端子が前記パッドと電気的に接続された第1の半導体素子と、

第3の外部端子が形成された第5の面と、前記第5の面に対向する第6の面とを有し、前記凹部内に収容されて前記第6の面が前記第1の半導体素子の前記第4の面と接着された第2の半導体素子と、

を備えたことを特徴とする半導体装置。

【請求項 2】

請求項1記載の半導体装置において、

前記基板は、金属製であることを特徴とする半導体装置。

【請求項 3】

請求項1記載の半導体装置において、

前記第3の外部端子は、前記第1の外部端子と同一の高さに設けられていることを特徴とする半導体装置。

【請求項 4】

請求項1～3のいずれか1項に記載の半導体装置において、

前記基板の凹部内に段部が形成され、

前記第2の半導体素子は、前記凹部内に収容されて前記第6の面が前記第4の面及び前記段部に固定され、且つ前記第3の外部端子が前記第1の外部端子と同一の高さに設けられたことを特徴とする半導体装置。

【請求項 5】

対向する第1及び第2の面を有し、前記第1の面に所定寸法の凹部が形成された絶縁性の基板と、

前記凹部の底面に形成されたパッドと、

前記第1の面における前記凹部の周囲に形成された第1の外部端子と、

前記基板に形成され、前記パッドと前記第1の外部端子とを電気的に接続する配線と、

第2の外部端子が形成された第3の面と、前記第3の面に対向する第4の面とを有し、前記凹部内に収容されて前記第2の外部端子が前記パッドに固定された第1の半導体素子と、

第3の外部端子が形成された第5の面と、前記第5の面に対向する第6の面とを有し、前記凹部内に収容されて前記第6の面が前記第4の面に固定され、且つ前記第3の外部端子が前記第1の外部端子と同一の高さに設けられた第2の半導体素子と、

を備えたことを特徴とする半導体装置。

【請求項 6】

対向する第1及び第2の面を有し、前記第1の面に所定寸法の凹部が形成された絶縁性の基板と、

前記凹部の底面に形成されたパッドと、

前記第1の面における前記凹部の周囲に形成された第1の内部接続端子と、

前記第1の面における前記第1の内部接続端子の外側に形成された第1の外部端子と、

前記基板に形成され、前記パッドと第1の内部接続端子及び前記第1の外部端子とを電気的に接続する配線と、

第2の外部端子が形成された第3の面と、前記第3の面に対向する第4の面とを有し、

前記凹部内に収容されて前記第2の外部端子が前記パッドに固着された第1の半導体素子と、

第3の外部端子が形成されると共に前記第3の外部端子の外側の外縁付近に第2の内部接続端子が形成された第5の面と、前記第5の面に対向する第6の面とを有し、前記凹部内に収容されて前記第6の面が前記第4の面に固着され、且つ前記第2の内部接続端子が前記第1の内部接続端子に電気的に接続されると共に、前記第3の外部端子が前記第1の外部端子と同一の高さに設けられた第2の半導体素子と、

を備えたことを特徴とする半導体装置。

【請求項 7】

請求項5記載の半導体装置において、

前記配線は、前記凹部の底面に形成されて前記パッドに電気的に接続された第1の配線本体と、前記第1の面における前記凹部の周囲に形成されて前記第1の外部端子に電気的に接続された第2の配線本体と、前記基板を貫通して前記第1の配線本体と前記第2の配線本体とを電気的に接続するスルーホールと、により構成されていることを特徴とする半導体装置。

【請求項 8】

請求項6記載の半導体装置において、

前記配線は、前記凹部の底面に形成されて前記パッドに電気的に接続された第1の配線本体と、前記第1の面における前記凹部の周囲に形成されて前記第1の内部接続端子及び前記第1の外部端子に電気的に接続された第2の配線本体と、前記基板を貫通して前記第1の配線本体と前記第2の配線本体とを電気的に接続するスルーホールと、により構成されていることを特徴とする半導体装置。

【請求項 9】

請求項5～8のいずれか1項に記載の半導体装置において、

前記基板は、絶縁性の第1の基板本体と、前記凹部を構成する開口部が貫通形成されて前記第1の基板本体の裏面に固着された絶縁性の第2の基板本体と、より構成されていることを特徴とする半導体装置。

【請求項 10】

請求項5～9のいずれか1項に記載の半導体装置において、

前記凹部の壁面と前記第1及び第2の半導体素子との間隙部は、封止体で封止されていることを特徴とする半導体装置。

【請求項 11】

請求項5～10のいずれか1項に記載の半導体装置において、

前記基板の第2の面には、放熱板が固着されていることを特徴とする半導体装置。

【請求項 12】

請求項1～11のいずれか1項に記載の半導体装置において、

前記第1の半導体素子は、前記第2の外部端子が、絶縁被覆された内部電極から再配線により面配置されたウエハレベルのチップサイズパッケージにより構成され、

前記第2の半導体素子は、前記第3の外部端子が、絶縁被覆された内部電極から再配線により面配置されたウエハレベルのチップサイズパッケージにより構成されていることを特徴とする半導体装置。

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明は、半導体装置に関し、特に、薄型化、高密度実装可能で、製造プロセスが簡単な半導体装置に関するものである。

【背景技術】

【0002】

従来、高密度実装可能な半導体装置として、1つのパッケージ内に複数のチップを実装したマルチチップパッケージ（Multi-Chip-Package、以下「MCP」という。）構造のものが知られている。

【0003】

例えば、2チップ積層タイプのMCPにおいて、チップサイズが同一もしくは同一に近い2チップを積層する場合、基板上に接着剤で下チップを固定し、この下チップ上に接着剤でシリコン片、テープ等のスペーサを固定し、該下チップから基板上のボンディングポストへ、ワイヤボンディング方式でワイヤの配線を行う。次に、スペーサ上に接着剤で上チップを固定し、この上チップから基板上のボンディングポストへ、ワイヤボンディング方式でワイヤの配線を行う。そして、下チップ、上チップ及びワイヤ配線を樹脂で封止した後、基板裏面に外部端子を取り付けている。

【0004】

ところが、このようなMCPでは、スペーサを使用しているので、3チップ積層構造になり、パッケージ全体の厚さが厚くなるばかりか、組立工程が増えて材料コストや組立コストが増加する等といった欠点がある。

【0005】

そこで、このような欠点を解決したMCP構造の半導体装置として、例えば、次のような特許文献1に記載されるものがあった。

【特許文献1】特開2002-124625号公報

【0006】

この特許文献1の半導体装置では、基板に、表面から裏面に至る開口部が形成され、この開口部内に、表面を下にした下チップが収容されている。下チップの裏面上には、例えば、この下チップと同一もしくは同一に近い上チップの裏面が固着されている。上チップから基板表面上のボンディングポストへワイヤボンディング方式でワイヤの配線が行われ、上チップとワイヤが樹脂で封止されている。基板裏面上には端子が設けられ、この端子がスルーホールを介して表面側のボンディングポストと電気的に接続されている。

【0007】

このようなMCPでは、チップサイズが同一もしくは同一に近いチップを、スペーサを用いずに2チップ積層を可能にしているので、上記の欠点を解決できる。

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、従来の上記特許文献1のような半導体装置では、次のような課題があった。

【0009】

上チップと基板とは、ワイヤにより電気的に接続する構成になっているので、このワイヤボンディング作業に手数を要する。しかも、上下方向に屈曲して弛んだワイヤ部分等を保護するために、このワイヤ及び上チップを樹脂で封止する構成になっているので、そのワイヤ部分等の高さ分だけパッケージの厚さが厚くなり、又、樹脂封止のために金型を使用しなければならないので、封止作業に手数を要するといった課題があった。

【0010】

本発明は、前記従来技術の課題を解決し、薄型化、高密度実装が可能で、製造プロセス

が簡単な半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0011】

前記課題を解決するために、本発明の内の請求項1に係る発明の半導体装置では、基板と、パッドと、第1の外部端子と、配線と、第1の半導体素子（以下「チップ」という。）と、第2のチップとを備えている。

【0012】

前記基板は、対向する第1及び第2の面を有し、前記第1の面から前記第2の面の方向へ窪んだ凹部が形成され、前記凹部を含む前記第1の面が絶縁膜で被覆されている。前記パッドは、前記凹部の底面の前記絶縁膜上に形成されている。前記第1の外部端子は、前記第1の面における前記凹部の周囲の前記絶縁膜上に形成されている。前記配線は、前記第1の面の前記絶縁膜上に形成され、前記パッドと前記第1の外部端子とを電気的に接続している。

【0013】

前記第1のチップは、第2の外部端子が形成された第3の面と、前記第3の面に対向する第4の面とを有し、前記凹部内に収容されて前記第2の外部端子が前記パッドと電気的に接続されている。更に、前記第2のチップは、第3の外部端子が形成された第5の面と、前記第5の面に対向する第6の面とを有し、前記凹部内に収容されて前記第6の面が前記第1のチップの前記第4の面と接着されている。

【0014】

請求項2に係る発明の半導体装置では、請求項1記載の半導体装置において、前記基板は、金属製である。

【0015】

請求項3に係る発明の半導体装置では、請求項1記載の半導体装置において、前記第3の外部端子は、前記第1の外部端子と同一の高さに設けられている。

【0016】

請求項4に係る発明の半導体装置では、請求項1～3のいずれか1項に記載の半導体装置において、前記基板の凹部内に段部が形成され、前記第2のチップは、前記凹部内に収容されて前記第6の面が前記第4の面及び前記段部に固着され、且つ前記第3の外部端子が前記第1の外部端子と同一の高さに設けられている。

【0017】

請求項5に係る発明の半導体装置では、絶縁性の基板と、パッドと、第1の外部端子と、配線と、第1のチップと、第2のチップとを備えている。

【0018】

前記絶縁性の基板は、対向する第1及び第2の面を有し、前記第1の面に所定寸法の凹部が形成されている。前記パッドは、前記凹部の底面に形成されている。前記第1の外部端子は、前記第1の面における前記凹部の周囲に形成されている。前記配線は、前記基板に形成され、前記パッドと前記第1の外部端子とを電気的に接続している。

【0019】

前記第1のチップは、第2の外部端子が形成された第3の面と、前記第3の面に対向する第4の面とを有し、前記凹部内に収容されて前記第2の外部端子が前記パッドに固着されている。更に、前記第2のチップは、第3の外部端子が形成された第5の面と、前記第5の面に対向する第6の面とを有し、前記凹部内に収容されて前記第6の面が前記第4の面に固着され、且つ前記第3の外部端子が前記第1の外部端子と同一の高さに設けられている。

【0020】

請求項6に係る発明の半導体装置では、絶縁性の基板と、パッドと、第1の内部接続端子と、第1の外部端子と、配線と、第1のチップと、第2のチップとを備えている。

【0021】

前記パッドは、対向する第1及び第2の面を有し、前記第1の面に所定寸法の凹部が形

成されている。前記パッドは、前記凹部の底面に形成されている。前記第1の内部接続端子は、前記第1の面における前記凹部の周囲に形成されている。前記第1の外部端子は、前記第1の面における前記第1の内部接続端子の外側に形成されている。前記配線は、前記基板に形成され、前記パッドと第1の内部接続端子及び前記第1の外部端子とを電気的に接続している。

【0022】

前記第1のチップは、第2の外部端子が形成された第3の面と、前記第3の面に対向する第4の面とを有し、前記凹部内に収容されて前記第2の外部端子が前記パッドに固着されている。更に、前記第2のチップは、第3の外部端子が形成されると共に前記第3の外部端子の外側の外縁付近に第2の内部接続端子が形成された第5の面と、前記第5の面に対向する第6の面とを有し、前記凹部内に収容されて前記第6の面が前記第4の面に固着され、且つ前記第2の内部接続端子が前記第1の内部接続端子に電気的に接続されると共に、前記第3の外部端子が前記第1の外部端子と同一の高さに設けられている。

【0023】

請求項7に係る発明の半導体装置では、請求項5記載の半導体装置において、前記配線は、前記凹部の底面に形成されて前記パッドに電気的に接続された第1の配線本体と、前記第1の面における前記凹部の周囲に形成されて前記第1の外部端子に電気的に接続された第2の配線本体と、前記基板を貫通して前記第1の配線本体と前記第2の配線本体とを電気的に接続するスルーホールとにより構成されている。

【0024】

請求項8に係る発明の半導体装置では、請求項6記載の半導体装置において、前記配線は、前記凹部の底面に形成されて前記パッドに電気的に接続された第1の配線本体と、前記第1の面における前記凹部の周囲に形成されて前記第1の内部接続端子及び前記第1の外部端子に電気的に接続された第2の配線本体と、前記基板を貫通して前記第1の配線本体と前記第2の配線本体とを電気的に接続するスルーホールとにより構成されている。

【0025】

請求項9に係る発明の半導体装置では、請求項5～8のいずれか1項に記載の半導体装置において、前記基板は、絶縁性の第1の基板本体と、前記凹部を構成する開口部が貫通形成されて前記第1の基板本体の裏面に固着された絶縁性の第2の基板本体とにより構成されている。

【0026】

請求項10に係る発明の半導体装置では、請求項5～9のいずれか1項に記載の半導体装置において、前記凹部の壁面と前記第1及び第2の半導体素子との間隙部は、封止体で封止されている。

【0027】

請求項11に係る発明の半導体装置では、請求項5～10のいずれか1項に記載の半導体装置において、前記基板の第2の面には、放熱板が固着されている。

【0028】

請求項12に係る発明の半導体装置では、請求項1～11のいずれか1項に記載の半導体装置において、前記第1のチップは、前記第2の外部端子が、絶縁被覆された内部電極から再配線により面配置されたウエハレベルのチップサイズパッケージ（以下「W C S P」という。）により構成され、前記第2のチップは、前記第3の外部端子が、絶縁被覆された内部電極から再配線により面配置されたW C S Pにより構成されている。

【発明の効果】

【0029】

請求項1、2、3、12に係る発明によれば、第1のチップの第2の外部端子を、金属製の基板の凹部内のパッドに固着し、この第1のチップの第4の面に、第2のチップの第6の面を固着する構成にしたので、薄型化及び高密度実装が可能になり、部品点数が少なくなつて材料コストを削減でき、しかも、製造工程数が少なくなつて生産性を向上できる。その上、チップから発生する熱が金属製の基板により放射され、放熱性が良くなつてチ

ップの熱的ダメージを減少できる。

【0030】

請求項4に係る発明によれば、基板の凹部内に段部を形成し、この段部と第1のチップの第4の面とに、第2のチップの第6の面を固着したので、第1のチップの第2の外部端子と凹部内のパッドとの接続部にかかる応力を緩和でき、基板との接続強度を向上させることができる。

【0031】

請求項5、7に係る発明によれば、第1のチップの第2の外部端子を、絶縁性の基板の凹部内のパッドに固着し、この第1のチップの第4の面に、第2のチップの第6の面を固着したので、薄型化及び高密度実装が可能になり、部品点数が少なくなって材料コストを削減でき、しかも、製造工程数が少なくなって生産性を向上できる。

【0032】

請求項6、8に係る発明によれば、絶縁性の基板の凹部内に、第1及び第2のチップを積層状態で固着し、これらの第1及び第2のチップを、第1及び第2の内部接続端子を介して電気的に接続したので、機能上1チップの機能にすることが容易になり、高付加価値にすることができる。

【0033】

請求項9に係る発明によれば、基板を第1及び第2の基板本体により構成したので、パッドや配線の形成が容易になる。

【0034】

請求項10に係る発明によれば、凹部の壁面と第1及び第2のチップとの間隙部を封止体で封止したので、第1のチップの第2の外部端子と凹部内のパッドとの接続部にかかる応力を緩和でき、基板との接続強度を向上させて接続信頼性の向上が図れる。

【0035】

請求項11に係る発明によれば、絶縁性の基板の第2の面に放熱板を固着したので、チップから発生する熱が放熱板により放射され、放熱性が良くなってチップの熱的ダメージを減少できる。

【発明を実施するための最良の形態】

【0036】

第1の発明に係る半導体装置では、基板を有している。この基板は、対向する第1及び第2の面を有し、この第1の面から第2の面の方向へ窪んだ凹部が形成され、この凹部を含む第1の面が絶縁膜で被覆されている。基板の凹部底面の絶縁膜上にはパッドが形成され、更に、その凹部周囲の絶縁膜上に、第1の外部端子が形成されている。基板の第1の面の絶縁膜上には配線が形成され、この配線によって前記のパッドと第1の外部端子とが電気的に接続されている。

【0037】

第1のチップは、第2の外部端子が形成された第3の面と、この第3の面に対向する第4の面とを有し、基板の凹部内に収容されてその第2の外部端子が該凹部内のパッドと電気的に接続されている。更に、第2のチップは、第3の外部端子が形成された第5の面と、この第5の面に対向する第6の面とを有し、基板の凹部内に収容されてその第6の面が第1のチップの第4の面と接着されている。

【0038】

第2の発明に係る半導体装置では、絶縁性の基板を有している。この基板は、対向する第1及び第2の面を有し、この第1の面に所定寸法の凹部が形成されている。凹部の底面にはパッドが形成され、更に、その凹部周囲に第1の外部端子が形成されている。基板には配線が形成され、この配線によって前記のパッドと第1の外部端子とが電気的に接続されている。

【0039】

第1のチップは、第2の外部端子が形成された第3の面と、この第3の面に対向する第4の面とを有し、基板の凹部内に収容されてその第2の外部端子が該凹部内のパッドに固

着されている。第2のチップは、第3の外部端子が形成された第5の面と、この第5の面に対向する第6の面とを有し、基板の凹部内に収容されてその第6の面が第1のチップの第4の面に固着されている。第2のチップの第5の面には、第3の外部端子が基板側の第1の外部端子と同一の高さに設けられている。

【実施例1】

【0040】

(構成)

図1 (A)、(B) は本発明の実施例1を示す半導体装置の構成図であり、同図 (A) は断面図、及び同図 (B) は下面図(即ち、底面図)である。更に、図2は図1中の基板の下面図(即ち、底面図)、及び図3は図1中の部分拡大断面図である。

【0041】

この半導体装置は、例えば、2チップ積層MCP構造におけるボール・グリッド・アレイ (Ball Grid Alley、以下「BGA」という。) 構造をしており、放熱性に優れるCu(銅)、SUS(ステンレス)等の金属製の基板10を有している。基板10は、対向する第1の面(例えば、裏面)及び第2の面(例えば、表面)を有し、この裏面から表面の方向へ窪んだ絞り加工等がされて凹部11が形成されている。凹部11を含む基板10の裏面全体は、ポリイミド樹脂等の絶縁膜12で被覆され、この絶縁膜12上に、Cu等によって配線13、複数の円形のパッド14及び複数の円形のポスト15が形成されている。複数のパッド14は凹部11の底面の絶縁膜12上に配設され、この凹部11の周囲の絶縁膜12上に、複数のポスト15が配設されている。各パッド14及び各ポスト15の表面には、Ni(ニッケル)及びAu(金)等の鍍金が形成され、これらの複数のパッド14と複数のポスト15とが、絶縁膜12上に形成された配線13により、相互に電気的に接続されている。パッド14及びポスト15を除いた基板裏面の全体は、ポリイミド樹脂等の絶縁膜16で被覆されている。各ポスト15上には、半田ボール等の第1の外部端子17がそれぞれ形成されている。

【0042】

凹部11内にはBGA構造の第1のチップ20が収容され、このチップ20がパッド14に固着されている。チップ20は、第3の面(例えば、表面)と、これに対向する第4の面(例えば、裏面)とを有し、この内部にメモリ、ロジック回路等の回路素子が内蔵されたWCSPIにより構成されている。チップ20の表面側には、凹部11内の複数のパッド14に対応して、Cu等で形成された複数の円形のポスト21が配設され、これらのポスト21が内部の回路素子に接続されている。複数のポスト21を除くチップ表面の全体は、エポキシ樹脂等の封止体22により封止されている。各ポスト21上には、半田ボール等の第2の外部端子23がそれぞれ設けられ、これらの外部端子23が位置決めされて複数のパッド14に固着されている。

【0043】

第1のチップ20の裏面には、熱硬化性の絶縁ペーストや熱可塑性の絶縁フィルム等の絶縁性の接着剤30により、該チップ20とサイズが同一もしくは同一に近いBGA構造の第2のチップ40が固着されている。第2のチップ40は、第5の面(例えば、表面)とこれに対向する第6の面(例えば、裏面)とを有し、第1のチップ20と同様に、内部にメモリ、ロジック回路等の回路素子が内蔵されたWCSPIにより構成されている。チップ40の表面側には、Cu等で形成された複数の円形のポスト41が配設され、これらのポスト41が内部の回路素子に接続されている。複数のポスト41を除くチップ表面の全体は、エポキシ樹脂等の封止体42で封止され、それらの各ポスト41上に、半田ボール等の第3の外部端子43がそれぞれ設けられている。第3の外部端子43は、第1の外部端子17と同一の径で且つ同一の高さに設定されている。

【0044】

(製造方法例)

図4 (A)～(I) は、図1中のチップ(例えば、20)の製造方法の例を示す製造工程図である。

【0045】

図1の半導体装置を製造する場合、例えば、予めチップ20, 40を次のような製造工程によって製造しておく。

【0046】

図4 (A)において、例えば、シリコンウエハ50に、拡散、ホトエッチング等によつて回路素子を作り込むと共に、表面に多数の電極（例えば、A1パッド）を形成し、図4 (B)において、表面全体をポリイミド・コート等の絶縁膜51で被覆する。図4 (C)において、パッド再配置のために絶縁膜51上に、Cu等で鍍金された再配線52を形成する。この再配線52は、所定箇所で、絶縁膜51下の複数のパッドに電気的に接続されている。図4 (D)において、再配線52上に、Cu等によって所定の大きさの複数のバンプ状のポスト21を形成する。

【0047】

図4 (E)において、ポスト21を含む全面を、トランスファ方式を用いてエポキシ樹脂等の封止体22で封止し、図4 (F)において、ポスト21が露出するまで研磨（グラインド）する。図4 (G)において、露出した複数のポスト21上に、半田ボール等の外部端子23を形成し、BGA構造にする。図4 (H)において、プロービング工程によって良否を分類し、ダイシング工程によって各チップ20を分割して個片化した後、図4 (I)において、外観の検査をして良品のみを次工程で使用する。

【0048】

このようなWCSPIにより構成されるBGA構造のチップ20, 40を用い、図1の半導体装置を例えば次のようにして製造する。

【0049】

先ず、放熱性に優れるCu等の金属製の基板10の裏面全体に、この基板10と完全に絶縁できるポリイミド樹脂等の絶縁膜12を形成した後、例えば、複数箇所に、Cu等によって配線13、凹部形成予定箇所の複数の円形パッド14、及び凹部形成予定箇所の周囲の複数の円形ポスト15を、それぞれ形成する。次に、複数箇所に形成された複数のパッド14及び複数のポスト15をそれぞれ除く基板裏面の全体に、ポリイミド樹脂等の絶縁膜16を形成した後、それらのパッド14及びポスト15にNi及びAu等の鍍金を形成する。その後、基板10における複数箇所の凹部形成予定箇所に、金型等で所定の寸法に絞り加工をして凹部11をそれぞれ形成する。絞り加工寸法は、搭載されるチップ20, 40の大きさ及び厚さにより適宜決定される。

【0050】

基板10の複数箇所を絞り加工した後、各チップ20の表面側に設けられた半田ボール等の外部端子23を位置決めして、各凹部11内のパッド14にそれぞれ固着し、電気的に接続する。次に、各チップ20の裏面に、熱硬化性の絶縁ペーストや熱可塑性の絶縁フィルム等の絶縁性の接着剤30をそれぞれ形成し、各チップ40の裏面を接着する。各チップ40の表面側に設けられた半田ボール等の外部端子43は、基板10側のポスト15と同じ方向に向いている。その後、チップ40側の外部端子43と同一高さ及び同一径の複数の半田ボール等の外部端子17を、基板10の複数箇所に設けられた複数のポスト15上にそれぞれ形成した後、基板10の各チップ搭載箇所を切断して個片化すれば、図1のようなBGA構造の半導体装置が複数個得られる。

【0051】

(動作)

第1のチップ20の外部端子23は、基板10の裏面側のパッド14、配線13、及びポスト15を介して外部端子17に電気的に接続されている。そのため、基板10側の外部端子17及び第2のチップ40側の外部端子43を、回路基板等に搭載すれば、この回路基板等と第1及び第2のチップ20, 40とが電気的に接続され、半導体装置が所定の動作を行う。

【0052】

(効果)

この実施例1では、W C S P構成の2個のチップ20, 40を金属製の基板10に積層する構成にしたので、次の(1)～(4)のような効果がある。

【0053】

(1) 第1のチップ20の外部端子23を、基板10の凹部11内のパッド14に固着し、この第1のチップ20の裏面に、第2のチップ40の裏面を接着剤30で接着する構成にしたので、部品点数が少なくなって材料コストを削減できる。

【0054】

(2) 前記(1)と同様に、2個のチップ20, 40を基板10の凹部11に搭載する構成にしたので、製造工程数が少なくなって生産性を向上できる。

【0055】

(3) 2個のチップ20, 40を金属製の基板10に搭載する構成にしたので、チップ20, 40から発生する熱が金属製の基板10により放射され、放熱性が良くなってチップ20, 40の熱的ダメージを減少できる。

【0056】

(4) 第1のチップ20の表面側を基板10の凹部11内に固着し、この第1のチップ20の裏面に、第2のチップ40の裏面を接着剤30で接着する構成にしたので、薄型化及び高密度実装が可能になる。

【実施例2】

【0057】

(構成)

図5は、本発明の実施例2を示す半導体装置の断面図であり、実施例1を示す図1～図4中の要素と共に通の要素には共通の符号が付されている。

【0058】

この半導体装置は、実施例1と同様に、2チップ積層M C P構造においてB G A構造をしている。この半導体装置が実施例1の半導体装置と異なる点は、金属製基板10の凹部11内に段部18が形成され、該凹部11内に固着された第1のチップ20よりもサイズの大きな第2のチップ40の裏面が、該第1のチップ20の裏面及び段部18に接着剤30, 31により接着されていることである。ここで、第1のチップ20の裏面の高さと段部18の高さとは、同一であり、更に、基板10側の第1の外部端子17と第2のチップ40の表面側の第3の外部端子43とは、同一の高さで且つ同一の径に設定されている。その他の構成は、実施例1と同様である。

【0059】

(製造方法例)

実施例1と同様に、C u等の金属製の基板10の裏面全体に、ポリイミド樹脂等の絶縁膜12を形成した後、例えば、複数箇所に、C u等によって配線13、凹部形成予定箇所の複数の円形パッド14、及び凹部形成予定箇所の周囲の複数の円形ポスト15をそれぞれ形成する。次に、複数箇所に形成された複数のパッド14及び複数のポスト15をそれぞれ除く基板裏面の全体に、ポリイミド樹脂等の絶縁膜16を形成した後、それらのパッド14及びポスト15にN i及びA u等の鍍金を形成する。その後、基板10における複数箇所の凹部形成予定箇所に、金型等で所定の寸法に2段の絞り加工をして、1段目の絞り部分に段部18をそれぞれ形成すると共に、2段目の縛り部分に凹部11をそれぞれ形成する。絞り加工寸法は、搭載されるチップ20, 40の大きさ及び厚さにより適宜決定される。

【0060】

基板10の複数箇所を絞り加工した後、各チップ20の表面側に設けられた半田ボール等の外部端子23を位置決めして、各凹部11内のパッド14にそれぞれ固着し、電気的に接続する。次に、各チップ20の裏面に、熱硬化性の絶縁ペーストや熱可塑性の絶縁フィルム等の絶縁性の接着剤30をそれぞれ形成すると共に、各段部18の裏面に、接着剤30と同様の接着剤31をそれぞれ形成し、これらの接着剤30, 31により各チップ40の裏面を接着する。これにより、各チップ40の裏面は、接着剤30, 31によって各

チップ40の裏面及び段部18に接着される。その後、実施例1と同様に、チップ40側の外部端子43と同一高さ及び同一径の複数の半田ボール等の外部端子17を、基板10の複数箇所に設けられた複数のポスト15上にそれぞれ形成した後、基板10の各チップ搭載箇所を切断して個片化すれば、図5のようなBGA構造の半導体装置が複数個得られる。

【0061】

(効果)

この実施例2では、実施例1とほぼ同様の効果に加えて、次のような効果もある。即ち、本実施例2では、基板10の凹部11内に段部18を形成し、この段部18と第1のチップ20の裏面とに、接着剤30, 31により第2のチップ40の裏面を接着している。そのため、第1のチップ20の外部端子23とパッド14との接続部にかかる応力を緩和でき、基板10との接続強度を向上させることができる。

【実施例3】

【0062】

(構成)

図6は本発明の実施例3を示す半導体装置の断面図、及び図7は図6中の部分拡大断面図であり、実施例1を示す図1～図4中の要素と共通の要素には共通の符号が付されている。

【0063】

この半導体装置は、実施例1と同様に、2チップ積層MCP構造においてBGA構造をしている。この半導体装置が実施例1の半導体装置と異なる点は、金属製の基板10に代えて絶縁性の基板50が使用され、サイズが同一又は同一に近いWCSで構成された第1及び第2のチップ20, 40が実装されていることである。

【0064】

即ち、絶縁性の基板50は、例えば、積層のガラスエポキシ基板等で形成され、この第1の面（例えば、裏面）から第2の面（例えば、表面）の方向へ所定の寸法で座ぐり加工等によって凹部51が複数箇所に形成されている。各凹部51の底面、基板50中、及び各凹部51の周囲には、Cu等によって配線52がそれぞれ形成されている。更に、各凹部51の底面に、Cu等によって複数の円形のパッド53がそれぞれ形成されると共に、各凹部51の周囲に、Cu等によって複数の円形のポスト54がそれぞれ形成されている。

【0065】

各配線52は、各凹部51の底面に形成された第1の配線本体52aと、各凹部52の周囲に形成された第2の配線本体52bとを有し、これらの第1及び第2の配線本体52a, 52bが、基板50中に形成されたスルーホール52cによって電気的に相互に接続されている。第1の配線本体52aに、複数のパッド53が電気的に接続されると共に、第2の配線本体52bに、複数のポスト54が電気的に接続されている。各パッド53及び各ポスト54の表面には、Ni及びAu等の鍍金が形成され、これらのパッド53及びポスト54を除いた基板裏面の全体が、ポリイミド樹脂等の絶縁膜55で被覆されている。各ポスト54上には、半田ボール等の第1の外部端子56がそれぞれ形成されている。

【0066】

凹部51内には、実施例1と同様の第1のチップ20が収容され、このチップ20の表面側の複数の第2の外部端子23が、凹部51側の複数のパッド53にそれぞれ固着されている。第1のチップ20の裏面には、実施例1と同様に、絶縁性の接着剤30により、該チップ20とサイズが同一もしくは同一に近い第2のチップ40が接着されている。第2のチップ40の表面側の複数の第3の外部端子43は、基板50側の複数の第1の外部端子56と同一の径で且つ同一の高さに設定されている。

【0067】

(製造方法例)

積層のガラスエポキシ基板等で形成された絶縁性の基板50の裏面側の複数箇所に、座

ぐり加工等によって所定の寸法の凹部51をそれぞれ形成する。各凹部51の口径は、(第1のチップ20の寸法+1mm)程度であり、該凹部51の深さは、(第1のチップ20の厚さ+第2のチップ40の厚さ+第2の外部端子23及びパッド53の接続部の厚さ+接着剤30の厚さ)である。基板50の各凹部51及びこの各周囲に、Cu等によって配線52、パッド53及びポスト54をそれぞれ形成する。各パッド53及び各ポスト54の表面に、Ni及びAu等の鍍金を形成した後、これらのパッド53及びポスト54を除いた基板裏面の全体に、ポリイミド樹脂等の絶縁膜55を被着する。

【0068】

予め製造しておいた複数のチップ20, 40を用い、実施例1と同様に、各チップ20の表面側に設けられた半田ボール等の外部端子23を位置決めして、各凹部51内のパッド53にそれぞれ固着し、電気的に接続する。次に、各チップ20の裏面に絶縁性の接着剤30をそれぞれ形成し、各チップ40の裏面を接着する。その後、チップ40側の外部端子43と同一高さ及び同一径の複数の半田ボール等の外部端子56を、基板50の複数箇所に設けられた複数のポスト54上にそれぞれ形成した後、基板50の各チップ搭載箇所を切断して個片化すれば、図6のようなBGA構造の半導体装置が複数個得られる。

【0069】

(動作)

第1のチップ20の外部端子23は、基板50の裏面側のパッド53、配線52、及びポスト54を介して外部端子56に電気的に接続されている。そのため、基板50側の外部端子56及び第2のチップ40側の外部端子43を、回路基板等に搭載すれば、この回路基板等と第1及び第2のチップ20, 40とが電気的に接続され、半導体装置が所定の動作を行う。

【0070】

(効果)

この実施例3では、WCS構成の2個のチップ20, 40を絶縁性の基板50に積層した構成にしたので、次の(1)～(3)のような効果がある。

【0071】

(1) 第1のチップ20の外部端子23を、基板50の凹部51内のパッド53に固着し、この第1のチップ20の裏面に、第2のチップ40の裏面を接着剤30で接着する構成にしたので、部品点数が少なくなって材料コストを削減できる。

【0072】

(2) 前記(1)と同様に、2個のチップ20, 40を基板50の凹部51に搭載する構成にしたので、製造工程数が少なくなって生産性を向上できる。

【0073】

(4) 第1のチップ20の表面側を基板50の凹部51内に固着し、この第1のチップ20の裏面に、第2のチップ40の裏面を接着剤30で接着する構成にしたので、薄型化及び高密度実装が可能になる。

【実施例4】

【0074】

(構成)

図8は、本発明の実施例4を示す半導体装置の断面図であり、実施例3を示す図6中の要素と共に要素には共通の符号が付されている。

【0075】

この半導体装置は、実施例3と同様に、2チップ積層MCP構造においてBGA構造をしている。この半導体装置が実施例3の半導体装置と異なる点は、基板50の裏面に形成された凹部51の壁面と、この凹部51内に収容された第1及び第2のチップ20, 40との間隙部が、樹脂等の封止体57で封止されていることである。その他の構成は、実施例3と同様である。

【0076】

(製造方法例)

実施例3と同様に、基板50の裏面に形成された凹部51内に、第1及び第2のチップ20, 40を積層状態で固着する。次に、例えば、液状の樹脂からなる封止体57を凹部51に注入して硬化させる。その後、実施例3と同様に、チップ40側の外部端子43と同一高さ及び同一径の複数の半田ボール等の外部端子56を、基板50の複数箇所に設けられた複数のポスト54上にそれぞれ形成した後、基板50の各チップ搭載箇所を切断して個片化すれば、図8のようなBGA構造の半導体装置が複数個得られる。

【0077】

(効果)

この実施例4では、実施例3と同様の効果に加えて、次のような効果もある。即ち、本実施例4では、凹部51の壁面と第1及び第2のチップ20, 40との間隙部を封止体57で封止しているので、第1のチップ20の外部端子23とパッド53との接続部にかかる応力を緩和でき、基板50との接続強度を向上させて接続信頼性の向上が図れる。

【実施例5】

【0078】

(構成)

図9は、本発明の実施例5を示す半導体装置の断面図であり、実施例4を示す図8中の要素と共通の要素には共通の符号が付されている。

【0079】

この半導体装置では、実施例4における絶縁性の基板50の表面に、例えば金属製の放熱板58が固着されており、その他の構成は実施例4と同様である。

【0080】

(製造方法例)

実施例4と同様に、例えば、液状の樹脂からなる封止体57を基板50の裏面側の凹部51に注入して硬化させた後、その基板50の表面側に金属製の放熱板58を固着させる。その後、実施例4と同様に、チップ40側の外部端子43と同一高さ及び同一径の複数の半田ボール等の外部端子56を、基板50の複数箇所に設けられた複数のポスト54上にそれぞれ形成した後、基板50の各チップ搭載箇所を切断して個片化すれば、図9のようなBGA構造の半導体装置が複数個得られる。

【0081】

(効果)

この実施例5では、実施例4と同様の効果に加えて、基板50の表面側に放熱板58を固着したので、チップ20, 40から発生する熱が放熱板58により放射され、放熱性が良くなってチップ20, 40の熱的ダメージを減少できるという効果がある。

【実施例6】

【0082】

(構成)

図10(A)、(B)は本発明の実施例6を示す半導体装置の構成図であり、同図(A)は断面図、及び同図(B)は下面図(即ち、底面図)であり、実施例3及び4を示す図6～図8中の要素と共通の要素には共通の符号が付されている。

【0083】

この半導体装置は、実施例4と同様に、2チップ積層MCP構造においてBGA構造をしている。この半導体装置が実施例4の図8の半導体装置と異なる点は、図8の絶縁性の基板50に代えて、2層構造の絶縁性の基板50Aを用いると共に、図8の第2のチップ40に代えて、複数の第2の内部接続端子44を有する第2のチップ40Aを用い、その内部接続端子44を介して第1のチップ20と電気的に接続する構成にしたことである。

【0084】

即ち、第2のチップ40Aは、図8の第2のチップ40と同様に、例えば、内部にメモリ、ロジック回路等の回路素子が内蔵されたW CSPにより構成され、この第5の面(例えば、表面)に、複数の第3の外部端子43が形成されると共に、これらの外部端子43の外側の外縁付近に、新たに複数の第2の内部接続端子44が形成され、これらの外部端

子43及び内部接続端子44が内部の回路素子に接続されている。例えば、外部端子43は半田ボール等の口径及び高さの大きな端子であるのに対し、内部接続端子44は半田ペースト等を用いた口径及び高さの小さな端子であり、通常、これらの端子43, 44は同一の工程で形成される。

【0085】

2層構造の絶縁性の基板50Aは、例えば、単層のガラスエポキシ基板等で形成された絶縁性の1の基板本体50-1と、ガラスエポキシ基板等で形成され、その基板本体50-1の裏面に固着される第2の基板本体50-2とで構成されている。基板本体50-2には、図7の凹部51に相当する開口部51Aが貫通形成されている。開口部51Aの口径寸法は、(第2のチップ40Aの寸法+1mm)程度であり、深さは、(第1のチップ20の厚さ+第2のチップ40Aの厚さ+第1のチップ20の第2の外部端子23の接続箇所の厚さ)以上である。

【0086】

基板本体50-1の裏面の開口部51Aに対応する箇所には、図7と同様に、Cu等で形成された第1の配線本体52aとこれに接続された複数のパッド53とが設けられている。基板本体50-2の裏面側における開口部51Aの周囲には、図7と同様に、Cu等で形成された第2の配線本体52bとこれに接続された複数のポスト54とが設けられている。更に、基板本体50-2を貫通するスルーホール52cが形成され、このスルーホール52cにより、基板本体50-1側の配線本体52aと基板本体50-2側の配線本体52bとが電気的に接続されている。これらの配線本体52a, 52b及びスルーホール52cにより、配線52が構成されている。

【0087】

図7と同様に、各パッド53及び各ポスト54の表面は、Ni及びAu等の鍍金が形成され、これらのパッド53及びポスト54を除いた基板本体裏面の全体が、ポリイミド樹脂等の絶縁膜55で被覆されている。複数のポスト54上には、複数の第1の内部接続端子59及び複数の第1の外部端子56が形成されている。複数の第1の内部接続端子59は開口部51Aの周りに配設され、これらの外側に複数の第1の外部端子56が配設されている。例えば、外部端子56は半田ボール等の口径及び高さの大きな端子であるのに対し、内部接続端子59は半田ペースト等を用いた口径及び高さの小さな端子であり、通常、これらの端子56, 59は同一の工程で形成される。

【0088】

基板50A側の複数の第1の外部端子56と、第2のチップ40Aの表面側の複数の第3の外部端子43とは、同一の径で且つ同一の高さに設定されている。基板50A側の複数の第1の内部接続端子59と、第2のチップ40Aの表面側の複数の第2の内部接続端子44とは、導体60を半田接続する等して相互に電気的に接続されている。開口部51Aの壁面と第1及び第2のチップ20, 40Aとの間隙部と、導体60の接続箇所とは、樹脂等の封止体57により封止されている。

【0089】

(製造方法例)

図11は、図10(A)の分解断面図である。

【0090】

図11に示すように、基板本体50-1の裏面側に形成された複数のパッド53に、チップ20の表面側の複数の外部端子23を位置決めして固着する。又、基板本体50-2の開口部51Aにチップ40Aを挿入し、この基板本体50-2の裏面側に設けられた複数の内部接続端子59と、チップ40A側に設けられた複数の内部接続端子44とを、導体60を半田接続する等して相互に電気的に接続する。そして、チップ20を搭載した基板本体50-1の裏面側と、チップ40Aを接続した基板本体50-2の表面側とを、位置合わせして貼り合わせ、チップ20とチップ40Aとを接着剤30により接着すると共に、基板本体50-1側の配線本体52aと基板本体50-2側のスルーホール52cとを電気的に接続する。

【0091】

次に、例えば、液状の樹脂からなる封止体57を基板本体50-2の開口部51A、及び導体60の接続箇所に注入して硬化させる。その後、チップ40A側の外部端子43と同一高さ及び同一径の複数の半田ボール等の外部端子56を、基板本体50-2の複数箇所に設けられた複数のポスト54上にそれぞれ形成した後、基板50Aの各チップ搭載箇所を切断して個片化すれば、図10のようなBGA構造の半導体装置が複数個得られる。

【0092】

(動作)

第1のチップ20の外部端子23は、基板50A側のパッド53、配線本体52a、スルーホール52c、配線本体52b、ポスト54、内部接続端子59、及び導体60を介して第2のチップ40Aの外部端子43に電気的に接続されている。そのため、基板50A側の外部端子56及び第2のチップ40A側の外部端子43を回路基板等に搭載すれば、半導体装置が所定の動作を行う。

【0093】

(効果)

この実施例6では、実施例4と同様の効果に加えて、第1のチップ20と第2のチップ40Aとを、内部接続端子44, 59等を介して電気的に簡単に接続でき、機能上1チップの機能にすることが容易になり、高付加価値にすることができる。

【0094】

本発明は、上記実施例に限定されず、種々の変形や利用形態が可能である。その変形や利用形態としては、例えば、次の(a)～(c)のようなものがある。

【0095】

(a) 図6、図8或いは図9の基板50は、図10及び図11のような2層構造の基板50Aに置き換えるても良い。

【0096】

(b) 図9の放熱板58は、図6或いは図10、図11の半導体装置に固着しても良い。

【0097】

(c) 実施例1～6は、図示以外の形状、構造、材料等に変更が可能である。

【産業上の利用可能性】

【0098】

基板に搭載するチップは、W CSP以外のパッケージ構成のものでも適用でき、又、基板の構造を工夫することにより、3個以上のチップを搭載することも可能である。更に、外部端子は、BGA構造以外に、リード等の他の構造にすることも可能である。

【図面の簡単な説明】

【0099】

【図1】本発明の実施例1を示す半導体装置の構成図である。

【図2】図1中の基板の底面図である。

【図3】図1中の部分拡大断面図である。

【図4】図1中のチップの製造工程図である。

【図5】本発明の実施例2を示す半導体装置の断面図である。

【図6】本発明の実施例3を示す半導体装置の断面図である。

【図7】図6中の部分拡大断面図である。

【図8】本発明の実施例4を示す半導体装置の断面図である。

【図9】本発明の実施例5を示す半導体装置の断面図である。

【図10】本発明の実施例6を示す半導体装置の構成図である。

【図11】図10の分解断面図である。

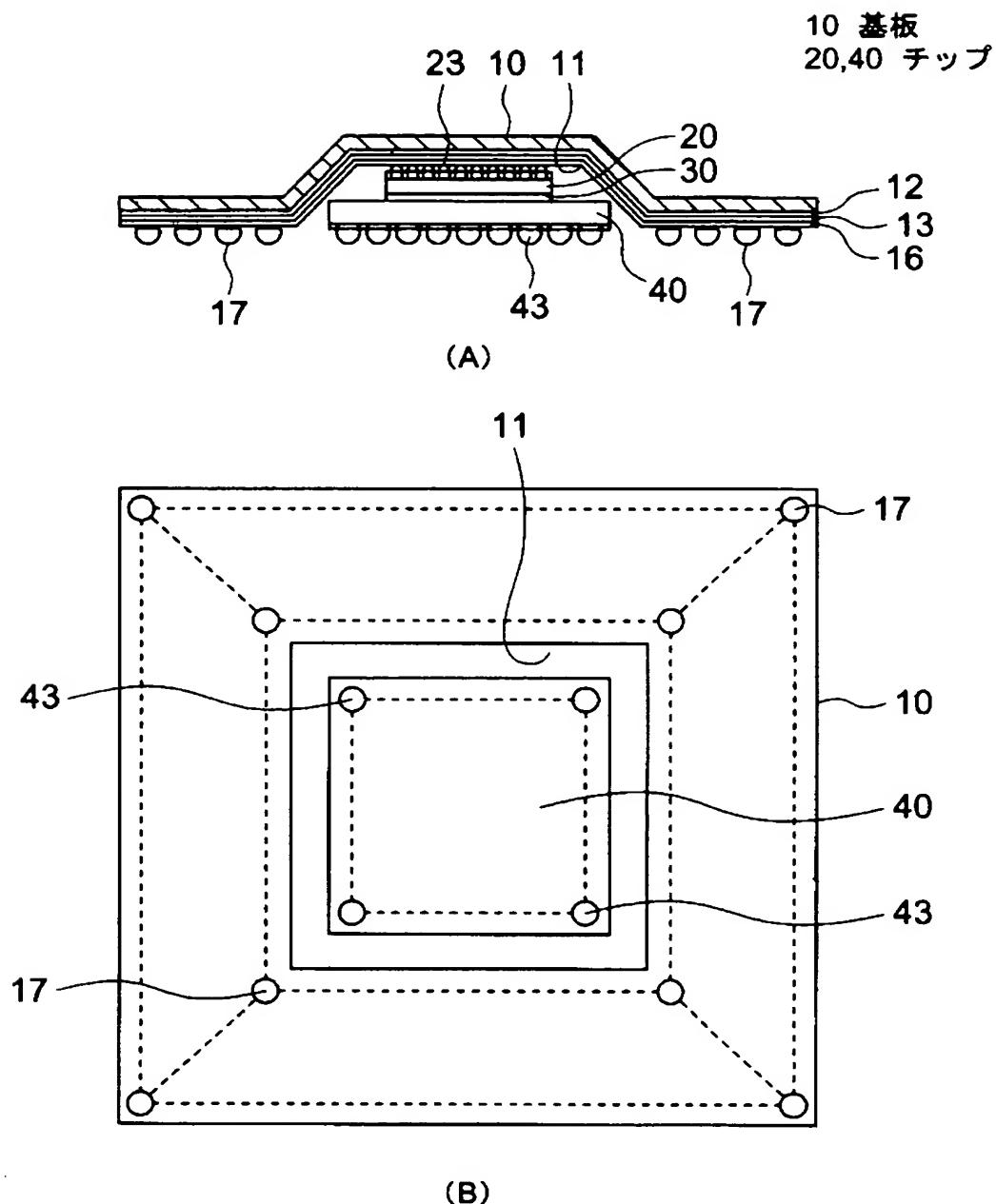
【符号の説明】

【0100】

10, 50, 50A 基板

1 1, 5 1	凹部
1 2, 1 6	絶縁膜
1 3, 5 2	配線
1 4, 5 3	パッド
1 5, 4 1, 5 4	ポスト
1 7, 2 3, 4 3, 5 6	外部端子
1 8	段部
2 0, 4 0, 4 0 A	チップ
3 0	接着剤
4 4, 5 9	内部接続端子
5 0-1, 5 0-2	基板本体
5 1 A	開口部
5 2 a, 5 2 b	配線本体
5 2 c	スルーホール
5 7	封止体
5 8	放熱板

【書類名】 図面
【図 1】



本発明の実施例1の半導体装置

【図2】

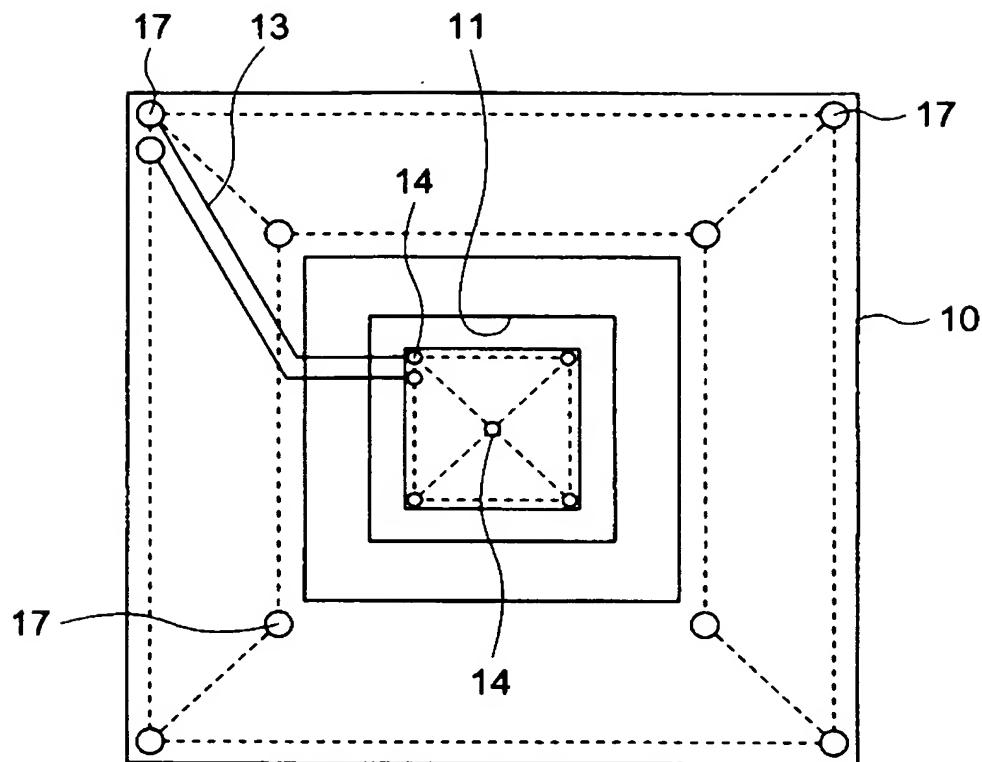


図1中の基板の底面

【図3】

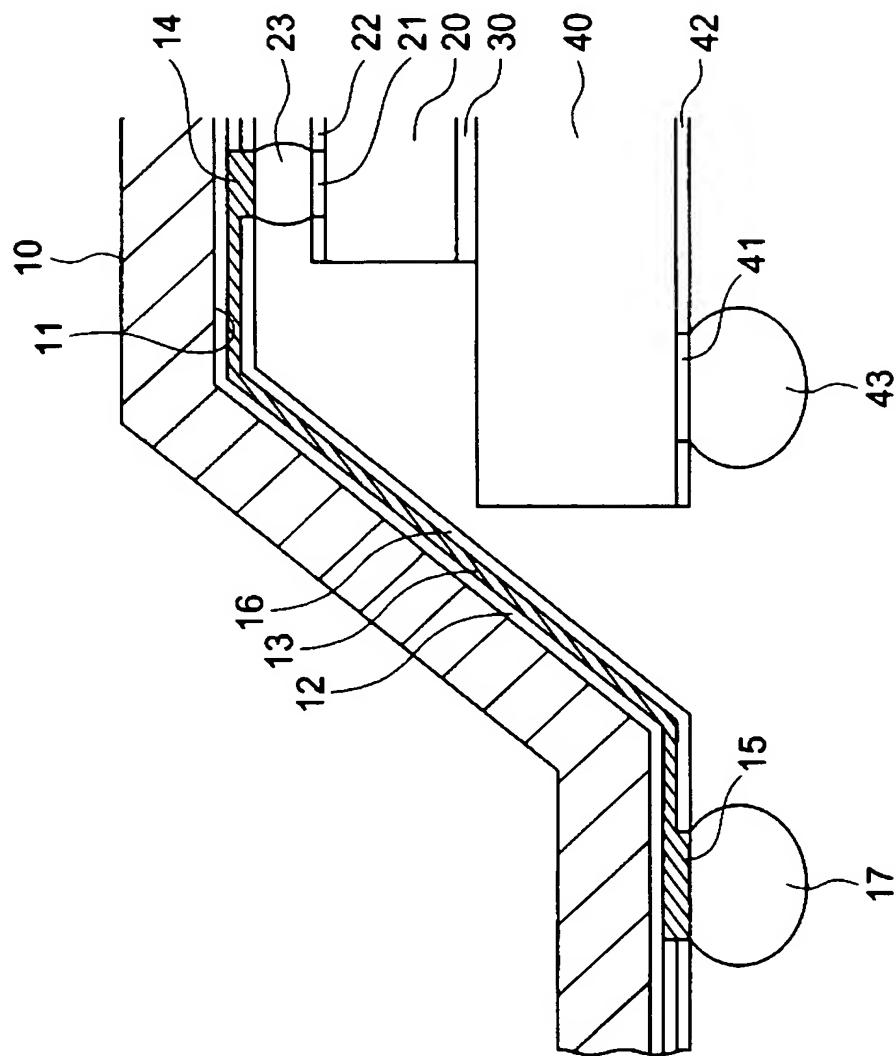


図1中の部分拡大断面

【図 4】

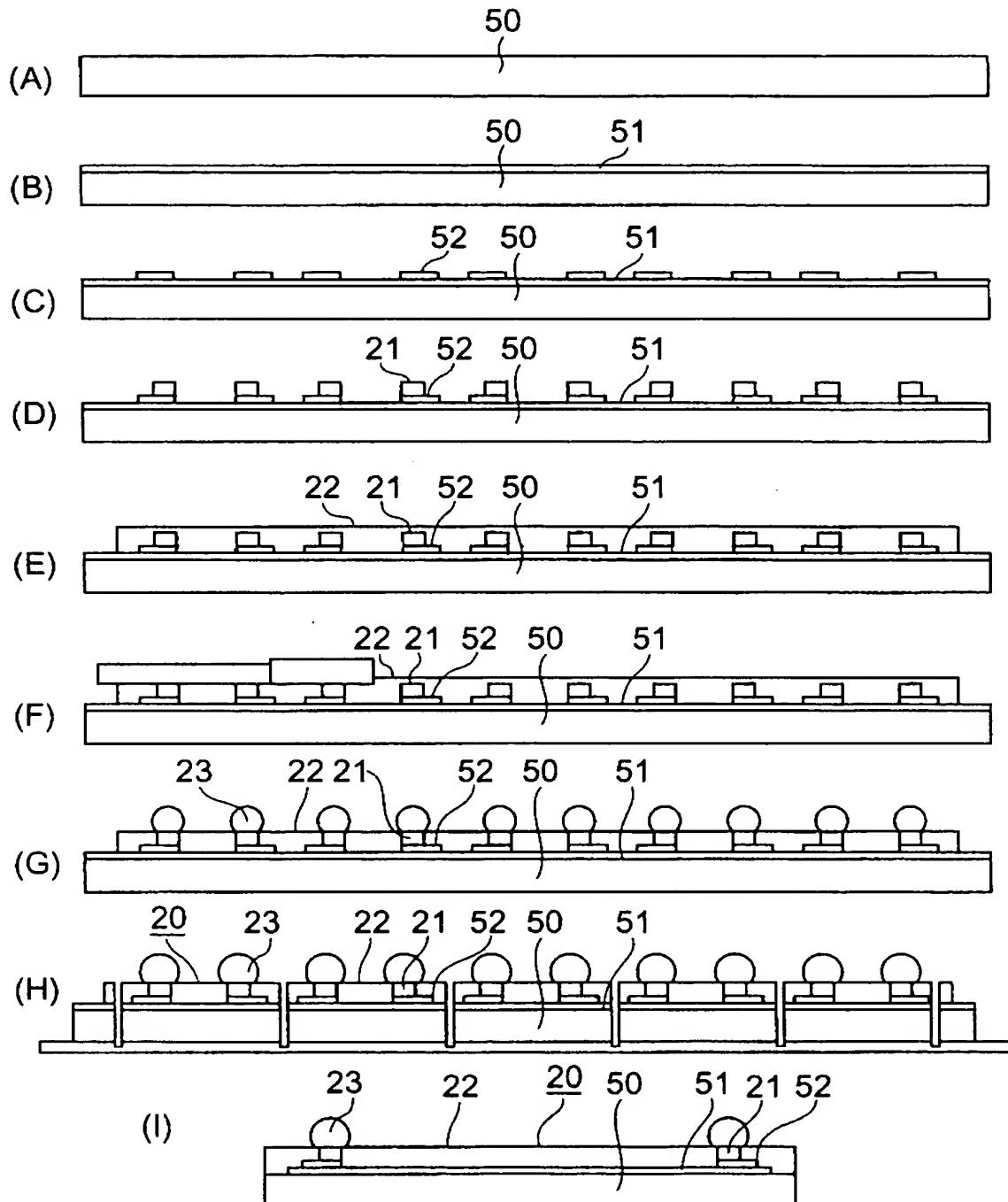
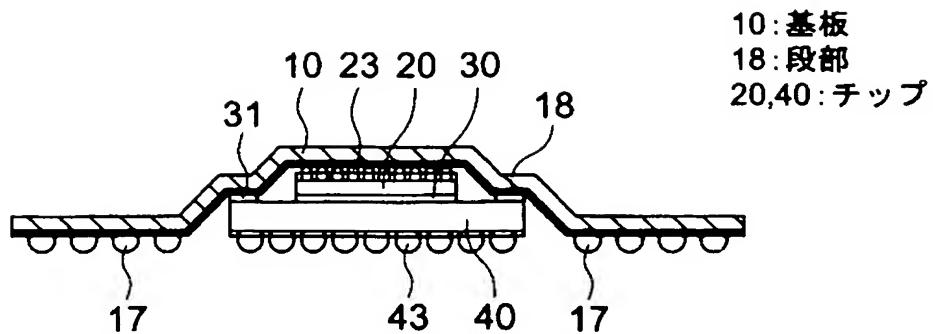


図 1 中のチップ製造工程

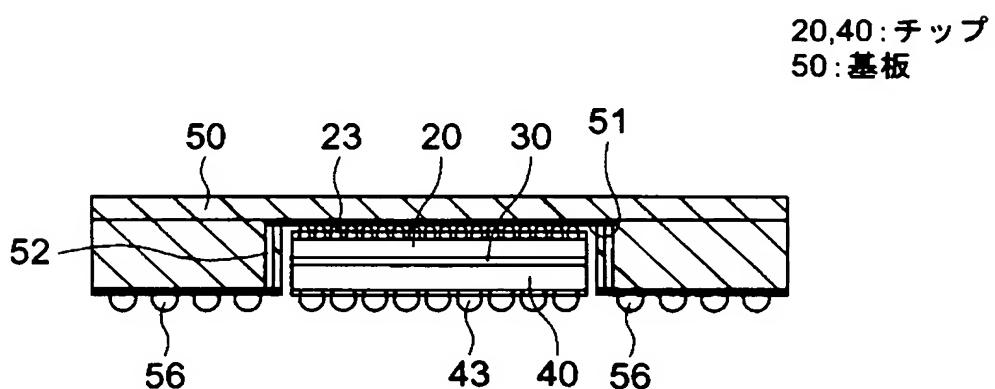
【図 5】



10:基板
18:段部
20,40:チップ

本発明の実施例2の半導体装置

【図 6】



20,40:チップ
50:基板

本発明の実施例3の半導体装置

【図7】

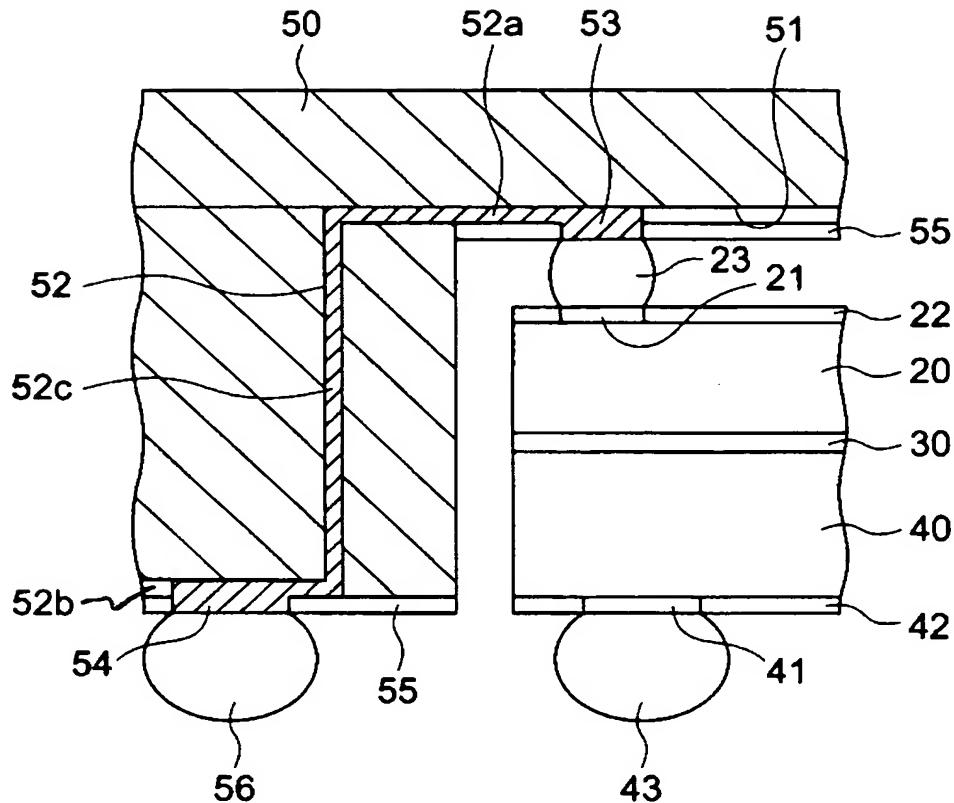
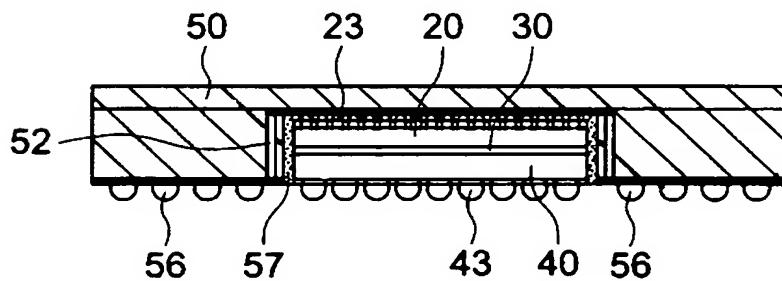


図6中の部分拡大断面

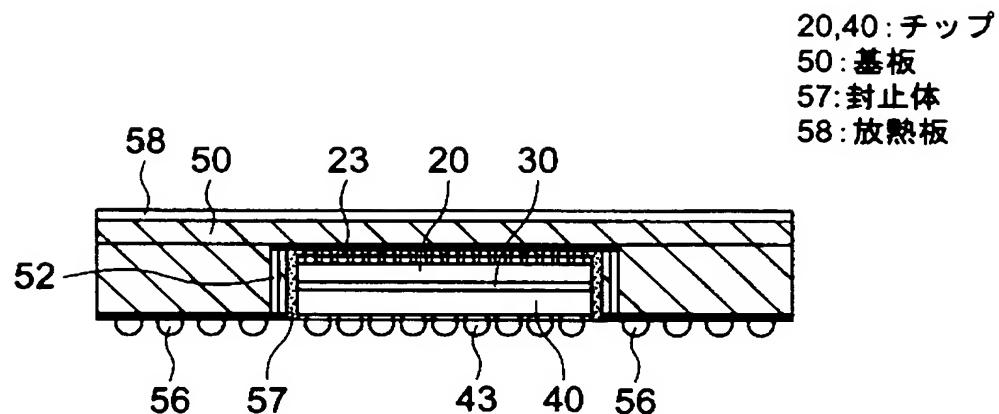
【図8】

20,40:チップ
50:基板
57:封止体



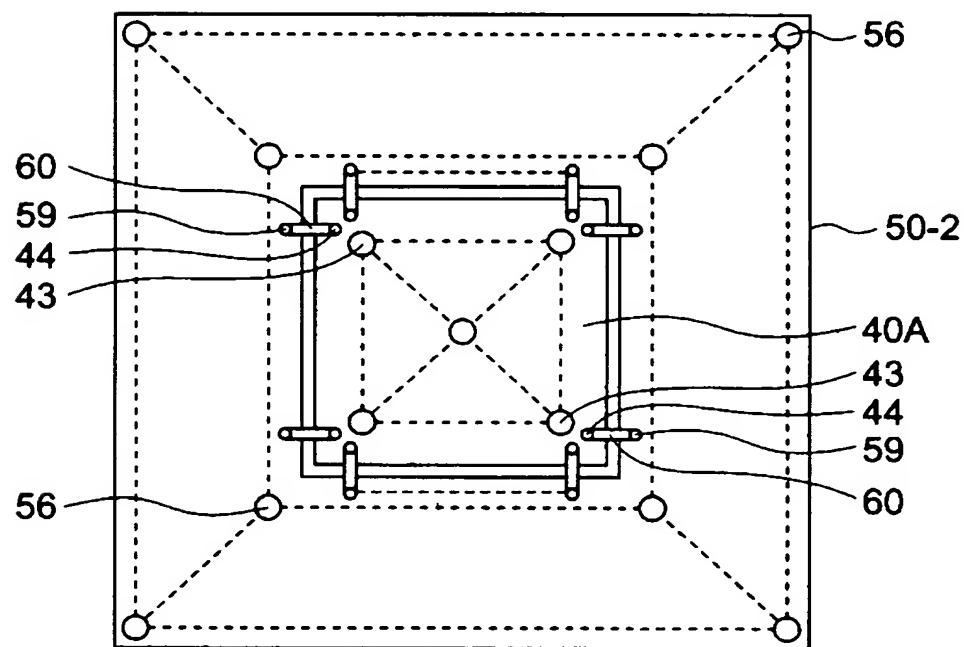
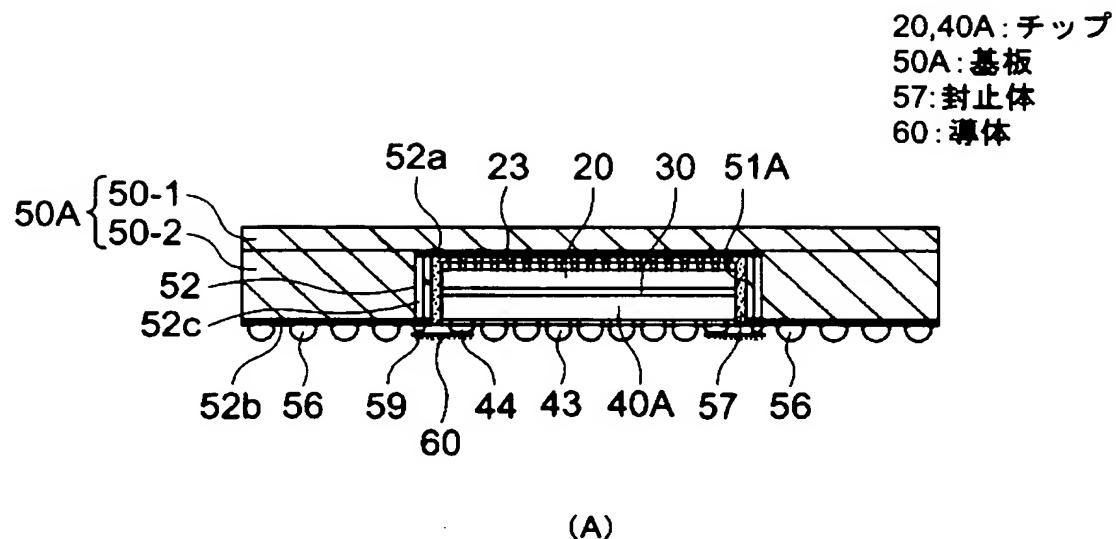
本発明の実施例4の半導体装置

【図9】



本発明の実施例5の半導体装置

【図10】



(B)

本発明の実施例6の半導体装置

【図11】

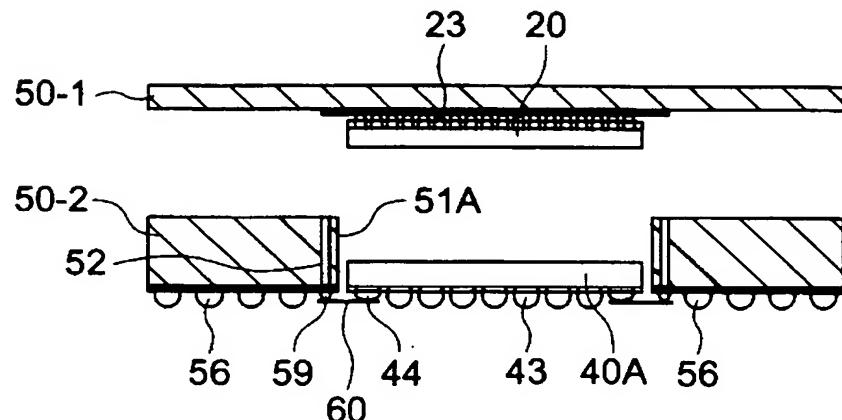


図10の分解断面図

【書類名】要約書

【要約】

【課題】薄型化、高密度実装が可能で、製造プロセスが簡単な半導体装置を提供する。

【解決手段】半導体装置は、基板10を有し、この基板10には、凹部11が形成されている。凹部11を含む基板10の裏面は、絶縁膜12で被覆され、この絶縁膜12上に、配線13、複数のパッド14及び複数のポスト15が形成されている。これらのパッド14とポスト15が、配線13により接続されている。パッド14及びポスト15を除いた基板裏面の全体は、絶縁膜16で被覆されている。ポスト15上には、半田ボール等の外部端子17が形成されている。凹部11内のパッド14にはチップ20が固着され、更に、このチップ20に、接着剤30によってチップ40が接着されている。各チップ20、40は、外部端子が、絶縁被覆された内部電極から再配線により面配置されたウエハレベルのチップサイズパッケージ(WCSP)により構成されている。

【選択図】 図1

特願 2003-310987

出願人履歴情報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社